

Patent Abstracts of Japan

BEST AVAILABLE COPY

PUBLICATION NUMBER : 58030231
PUBLICATION DATE : 22-02-83

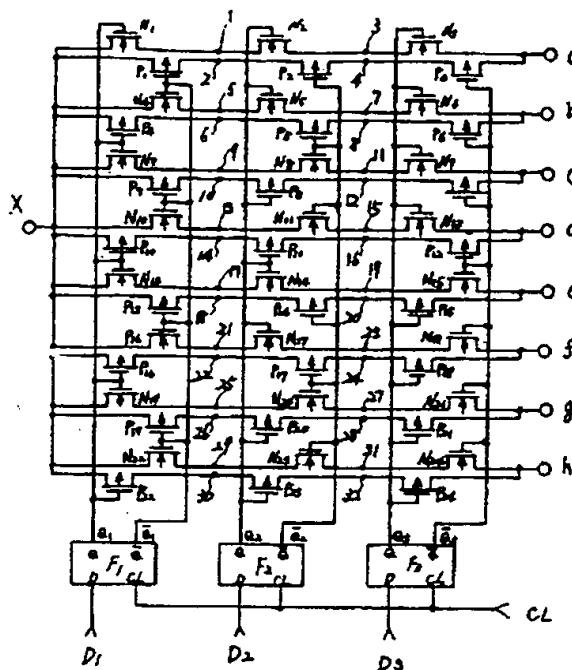
APPLICATION DATE : 18-08-81
APPLICATION NUMBER : 56129519

APPLICANT : SEIKO EPSON CORP;

INVENTOR : OGUCHI JUNICHI;

INT.CL. : H03K 17/693

TITLE : ANALOG SWITCHING CIRCUIT WITH SELECTOR



ABSTRACT : PURPOSE: To simplify a transistor array and wiring, and to improve integration density, by functionally using in common transistors constituting each independent functional circuit.

CONSTITUTION: P channel FETs P_1 - P_{24} and N channel FETs N_1 - N_{24} constituting a transmission gate transistor for opening and closing an analog signal are combined in series and parallel by an optional number of pieces, and are connected. When to binary input data D_1 - D_3 , "1" is inputted, as for FFs F_1 - F_3 for storing and outputting a selected data, Q_1 - Q_3 become a high level. Accordingly, the N channel FET connected to the line of Q_1 - Q_3 is turned on, and the P channel FET connected to the line of \bar{Q}_1 - \bar{Q}_3 is also turned on. In this case, a circuit whose transistors connected to 3 stages in series are all conducting becomes only a terminal (a), the terminal (a) is selected, and two-way transfer of an analog signal is executed between said terminal and an input/output common terminal X. After that, in accordance with a binary input data, terminals (b)-(h) are selected.

COPYRIGHT: (C)1983,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—30231

⑤ Int. Cl.³
H 03 K 17/693

識別記号

庁内整理番号
7105—5 J

⑬ 公開 昭和58年(1983)2月22日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ セレクタ付アナログスイッチ回路

⑯ 出 願 人 信州精器株式会社

諏訪市大和3丁目3番5号

⑰ 特 願 昭56—129519

⑱ 出 願 人 株式会社諏訪精工舎

⑲ 出 願 昭56(1981)8月18日

東京都中央区銀座4丁目3番4

⑳ 発 明 者 小口旬一

号

塩尻市大字広丘原新田80番地信
州精器株式会社内

㉑ 代 理 人 弁理士 最上務

明 細 書

1. 発明の名称 セレクタ付アナログスイッチ回
路

2. 特許請求の範囲

M O B 型電解効果トランジスタ(以下 F E T と略す)を用いた電気的アナログ信号伝達回路で、n 系列のアナログ信号を閉閉するトランスミッシヨンゲートトランジスタを有し、前記トランスミッシヨンゲートトランジスタの開閉を選択するセレクター回路を具備した回路で、前記アナログ信号閉閉用トランスミッシヨンゲートトランジスタを構成する P チャンネル F E T 及び N チャンネル F E T を任意個直列及び並列に組み合わせ接続する事により、アナログ信号閉閉用トランスミッシヨンゲートトランジスタ構成用 F E T が、前記セレクター回路構成用 F E T を兼ねる事を特徴としたセレクタ付アナログスイッチ回路。

3. 発明の詳細な説明

本発明は M O B 型 F E T を用いた電子回路で、n 系列のアナログ信号を選択し任意の信号を取り出す、もしくは任意の信号を n 系列中の希望端子に伝達する為のアナログスイッチ回路及びセレクター回路に関する。

従来、何系列かのアナログ信号入力から目的の信号のみ選択し出力伝達する場合、又は任意の n アナログ信号を何系列かの出力端子に任意のタイミングで選択し希望端子に出力伝達しようとする場合、電子回路の構成として一例を示すと図 1 の様になる。

ここで a b c d e f g h 及び x は電気的アナログ信号の伝達用入力端子、D₁、D₂、D₃ は 2 進化出力選択信号、C L はクロックパルスを示す。

又、回路の内訳は n 系列分のアナログ信号伝達及び閉閉用トランスミッシヨンゲートトランジスタ(T₁ ~ T_{1n}、n = 8 系列の場合で以降説明する。)で構成するアナログスイッチ回路、前記トランスミッシヨンゲートトランジスタ駆動用イン

バータ論理回路 ($I_1 \sim I_n$)、NAND論理ゲート ($N_1 \sim N_m$) で構成するデコーダ・セレクター回路、選択データ発生及び記憶用フリップフロップ回路 ($F_1 \sim F_p$ 、以下FFと略す) である。

これに対し本発明は、それぞれ独立した機能回路構成トランジスタを機能的に兼用する事により、構成トランジスタ数の低減及び回路配線の簡素化を図るものであり、特に集積回路に用いた場合の集積密度の向上によるチップサイズの縮小化すなわちコスト低減に対し極めて有効かつ合理的手段である。

以下、本発明の詳細について構成を図面により説明する。

第2図は本発明の一実施例である。図面は8系列の場合について示す。図中a b c d e f g h 及びxは電気的アナログ信号入出力端子、 D_1, D_2, D_3 は2進出力選択信号、CLはクロックパルス、 F_1, F_2, F_3 は選択データ記憶及び出力用FFを示し、これらの信号名及び機能回

路は第1図(従来構成図)にそれぞれ対応し、同一のものを示す。又、 $N_1 \sim N_m$ はNチャンネルMOS型FETを、 $P_1 \sim P_p$ はPチャンネルMOS型FETをそれぞれ示す。

なお、図中1と2、3と4、5と6、7と8、9と10、11と12、13と14、15と16、17と18、19と20、21と22、23と24、25と26、27と28、29と30、31と32がそれぞれ接続されていても以降説明する回路動作については同等である。

ここで2進出力選択信号 D_1, D_2, D_3 がクロックパルス (CL) によりFF (F_1, F_2, F_3) にそれぞれ読み込まれ、出力として $Q_1, \bar{Q}_1, Q_2, \bar{Q}_2, Q_3, \bar{Q}_3$ が出力される。この時の選択希望端子をaとした場合、 D_1, D_2, D_3 はすべてHレベル(I)であり、bとした場合 D_1 はLowレベル(O) D_2, D_3 はそれぞれHレベル(I)が入力データとなる。以下c~hをそれぞれ選択希望端子とした場合の入力データは第3図に示す通りである。

まず、a端子を選択した場合は、FF出力は $Q_1 = \text{Hレベル(以降Iと要わす)} \bar{Q}_1 = \text{Lowレベル(以降Oと要わす)}, Q_2 = \text{I}, \bar{Q}_2 = \text{O}, Q_3 = \text{I}, \bar{Q}_3 = \text{O}$ となる。ここでそれぞれのデータラインをゲート入力に持つFET ($N_1 \sim N_m, P_1 \sim P_p$) はデータ信号レベルにより導通(ON)、遮断(OFF)状態となるが、前記データ出力時では、 $N_1, N_2, N_3, N_4, N_5, N_6, N_7, N_8, N_{10}, N_{11}, N_{12}, N_{13}, N_{14}, N_{15}, N_{16}, P_1, P_2, P_3, P_4, P_5, P_6, P_7, P_8, P_{10}, P_{11}, P_{12}, P_{13}, P_{14}, P_{15}, P_{16}$ のトランジスタがON、これ以外のトランジスタがOFF状態となる。ここで3段直列に接続されたトランジスタがNチャンネル、PチャンネルすべてON状態となつて導通ラインは N_1, N_2, N_3 のNチャンネル部及び P_1, P_2, P_3 のPチャンネル部で構成されたa端子のラインのみとなり、ここでa端子が選択され入出力共通端子xとの間でアナログ信号の双方伝達が行なわれる。

又、データを $D_1 = \text{O}, D_2 = \text{I}, D_3 = \text{I}$ と

した場合は $N_1, N_2, N_3, N_4, N_5, N_6, N_{10}, N_{11}, N_{12}, N_{13}, N_{14}, N_{15}, N_{16}, P_1, P_2, P_3, P_4, P_5, P_6, P_7, P_8, P_{10}, P_{11}, P_{12}, P_{13}, P_{14}, P_{15}, P_{16}$ がそれぞれON状態となり、 $N_7, N_8, N_9, P_4, P_5, P_6$ で構成されたアナログスイッチ部がON状態となりb端子と共通入出力端子xとの間でアナログ信号の伝達が行なわれる。以下c~h端子選択の場合についても同様(データ組み合わせは第3図、第4図の通り)である。

以上8系列選択の場合を例に説明したが、データのビット数及び構成トランジスタ配列を変更することにより、任意の系列について選択スイッチングできる双方向性のセレクト付アナログスイッチ回路を容易に構成する事ができ、更にトランジスタ配列や配線の簡素化を可能とし、集積回路等に用いた場合、集積密度の向上に大きく寄与する本発明はもたらしめるものである。

4. 図面の簡単な説明

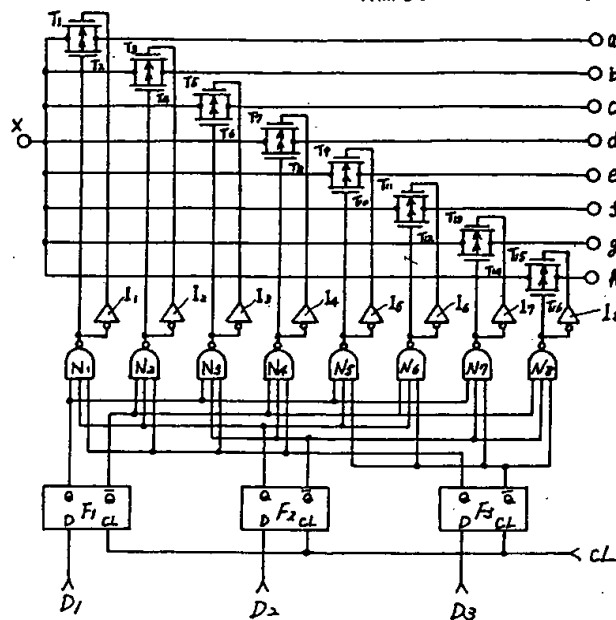
第1図は従来の回路構成図、第2図は本発明の一実施例について第1図と置き換えた場合の構成図を示す。図中第1図、第2図共通記号は、同一信号及び同一機能回路を表わす。

第3図はデータ出力及び記憶用FF(F₁, F₂, F₃)についての入力データ対選択端子(a~h)の関係を示す。第4図はFF(F₁, F₂, F₃)の入力データ対FF出力(Q₁, Q₂, Q₃, Q₄, Q₅, Q₆)の詳細な関係を表わす図表である。なお、第3図、第4図中IはH i 論理レベル、0はL o w 論理レベルを表わす。

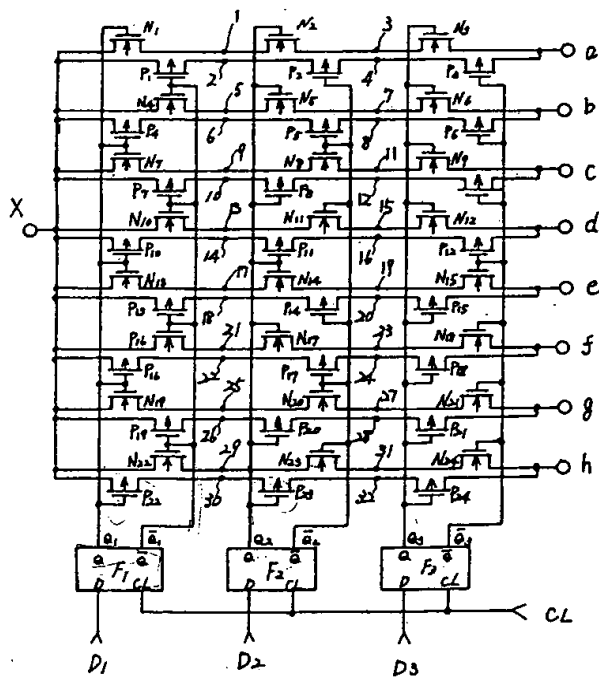
以上

出願人 信州精器株式会社
株式会社 諏訪精工舎

代理人 弁理士 最上 務



第1図



第2図

第3図

選択端子	D ₁	D ₂	D ₃
a	1	1	1
b	0	1	1
c	1	0	1
d	0	0	1
e	1	0	0
f	0	1	0
g	1	0	0
h	0	0	0

第4図

2入力データ			F/F 出力					
D ₁	D ₂	D ₃	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	
1	1	1	1	0	1	0	1	
0	1	1	0	1	1	0	1	
1	0	1	1	0	0	1	1	
0	0	1	0	1	0	1	1	
1	1	0	1	0	1	0	1	
0	1	0	0	1	1	0	1	
1	0	0	1	0	0	1	1	
0	0	0	0	1	0	1	1	